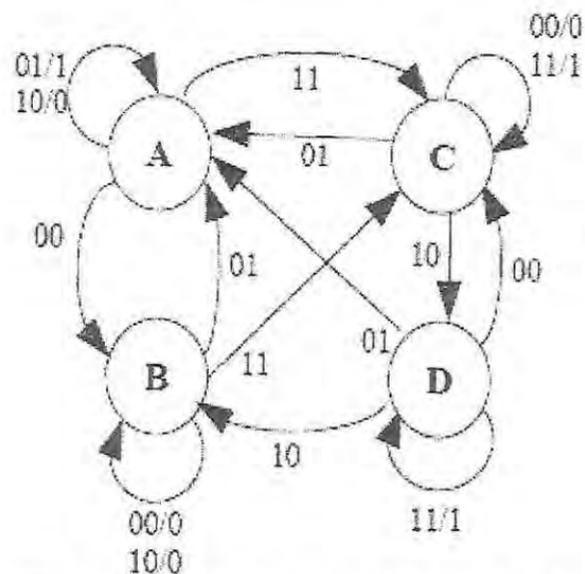


## Examen final de STRM

### Exercice 1 : (8pts)

Faire la synthèse de l'automate suivant en utilisant des bascules T



Notation:  $x_1x_0/z$

Remarque : Il est à noter que si la sortie n'existe pas sur le schéma elle prendra la valeur X(indéterminé).

- a. Représenter le graphe sous forme tabulaire (table de transition ou d'états). **(2pts)**
- b. Coder les états (ordre alphabétique  $\longrightarrow$  code binaire croissant). **(1pt)**
- c. Dresser la table d'excitation. **(2pts)**

- d. Donner les équations simplifiées des entrées des bascules et de la sortie Z. **(1.5pt)**
- e. Dessiner le circuit. **(1.5pts)**

**Exercice 2 :(7pts)**

À l'aide de plusieurs RAM (M1) de 512 octets possédant un bus de donnée de 4 bits, on souhaite réaliser une RAM (M2) de 4 K octets possédant un bus de donnée de 8 bits.

1. Donnez le nombre de mots et la largeur du bus d'adresse des deux types de RAM. **(1pt)**

2. Combien de mémoires doit-on assembler en série (sur une ligne)?(0.5pt)
3. Combien de mémoires doit-on assembler en parallèle série (sur une colonne)? (0.5pt)
4. Combien de bits d'adresse vont servir à déterminer le CS des mémoires M1 ?( 0.5 pt)
5. Donner les valeurs des CS de chaque mémoire M1 ? (1pt)
6. Quelles mémoires M1i sont actives lors de la lecture à l'adresse  $(515)_{10}$  et à l'adresse  $(9A8)_{16}$ ? (1pts)
7. Peut-on faire une extension de la mémoire M2 ? Si Oui de combien ?(0.5pt)

8. Donner le schéma global de la mémoire M2.(2pts)

**Exercice 3 : (5pts)**

1. Dérouler le programme ci-dessous en précisant les contenus de l'Accumulateur après exécution de chaque instruction.(2pts)

100 READ

101 STORE R, D

102 MUL 210, D

103 MUL 2, IMM

104 STORE P, D

105 LOAD R, D

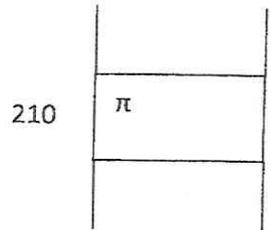
106 MUL R, D

107 MUL 210, D

108 DIV P, D

109 STORE PPP, D

110 WRITE



2. Que contiennent les dressés R, P et PPP après exécution du programme ? (1 pt)
3. Qu'affiche le programme si  $(R)=10$  ? (1 pt)
4. Calculer la formule de ce qui est calculé et proposer un programme de moins de cinq (5) instructions qui fait le même travail. (1 pt)

Corrigé de l'examen  
Final de STAH

Exo 1:

1. Table des états:

$X_1 X_0$

Etats Passés	00		01		10		11	
	Etats P.	Z	Etats pres	Z	Etats Prest	Z	Etats Prest	Z
A	B	X	A	1	A	0	C	X
B	B	0	A	X	B	0	C	X
C	C	0	A	X	D	X	C	1
D	C	X	A	X	B	X	D	1

A partir de cette table on remarque qu'il n'y a pas d'états équivalents, donc cette table ne peut pas se réduire.

o. Codage des entrées

Table d'excitation:

$X_1 X_0$	$Q_1^-$	$Q_0^-$	$Q_1$	$Q_0$	$T_1$	$T_0$	Z
00	0	0	0	1	0	1	X
	0	1	0	1	0	0	0
	1	0	1	0	0	0	0
	1	1	1	0	0	1	X
01	0	0	0	0	0	0	1
	0	1	0	0	0	1	X
	1	0	0	0	1	0	X
	1	1	0	0	1	1	X
10	0	0	0	0	0	0	0
	0	1	0	1	0	0	0
	1	0	1	1	0	1	X
	1	1	0	1	1	0	X
11	0	0	1	0	1	0	X
	0	1	1	0	1	1	X
	1	0	1	0	0	0	1
	1	1	1	1	0	0	1

d. Equations simplifiées de entrées et sortie

$X_1 X_0$	00	01	11	10
00			1	
01			1	
11		1		1
10		1		

$Q_1^- Q_0^-$	00	01	11	10
00	1			
01		1	1	
11	1	1		
10				1

$Q_1^- Q_0^-$	00	01	11	10
00	X	1	X	0
01	0	X	X	0
11	X	X	1	X
10	0	X	1	X

$$\begin{aligned}
 T_1 &= X_1 X_0 \bar{Q}_1^- + \bar{X}_1 X_0 Q_1^- + X_1 \bar{X}_0 Q_1^- Q_0^- \\
 &= X_0 (X_1 \bar{Q}_1^- + \bar{X}_1 Q_1^-) + X_1 \bar{X}_0 Q_1^- Q_0^- \\
 &= X_0 (X_1 \oplus Q_1^-) + X_0 (X_1 Q_1^- Q_0^-)
 \end{aligned}$$

$$\begin{aligned}
 T_0 &= X_0 \bar{Q}_1^- Q_0^- + \bar{X}_1 Q_1^- Q_0^- \\
 &\quad + \bar{X}_1 \bar{X}_0 \bar{Q}_1^- Q_0^- + X_1 \bar{X}_0 Q_1^- Q_0^- \\
 Z &= X_0
 \end{aligned}$$



## Exo 2:

$M_1$ : 512 octets (Mots et sur 4 bits)

$M_2$ : 4K octets (Mot sur 8 bits)

$$10/ M_1 = 512 \text{ octets} = 512 \times 8 \text{ bits} = 512 \times 2^{10} / 4 \text{ bits}$$

$$= 1024 \times 4 \text{ bits}$$

$$\text{Nombre de mots} = 1024 = 1K = 2^{10} \text{ donc } 10 \text{ bits d'ad}$$

$$M_2: 4K \text{ octets} = 4 \cdot 2^{10} \cdot 8 \text{ bits} = 2^{12} \times 8 \text{ bits}$$

$$\text{Nombre de Mot} = 4 \times 1024 = 4096 \text{ Mot}$$

$$\text{bits d'ad} = 12 \text{ bits}$$

$$M_1 = 1K \times 4 \text{ bits} \begin{cases} \rightarrow 10 \text{ bits d'ad } (A_9 \dots A_0) \\ \rightarrow 4 \text{ bits données} \end{cases}$$

$$M_2 = 4K \times 8 \text{ bits} \begin{cases} \rightarrow 12 \text{ bits d'ad } (A_{11} \dots A_0) \\ \rightarrow 8 \text{ bits de données} \end{cases}$$

2. On doit assembler en lignes.

$$\frac{8}{4} = 2 \text{ RAM}$$

3. on doit assembler en colonne.

$$\frac{4K}{1K} = 4 \text{ RAM}$$

4. Il nous faut 2 bits d'adresses à déterminer le cs de mémoires  $M_1$  ( $A_{11}, A_{10}$ )

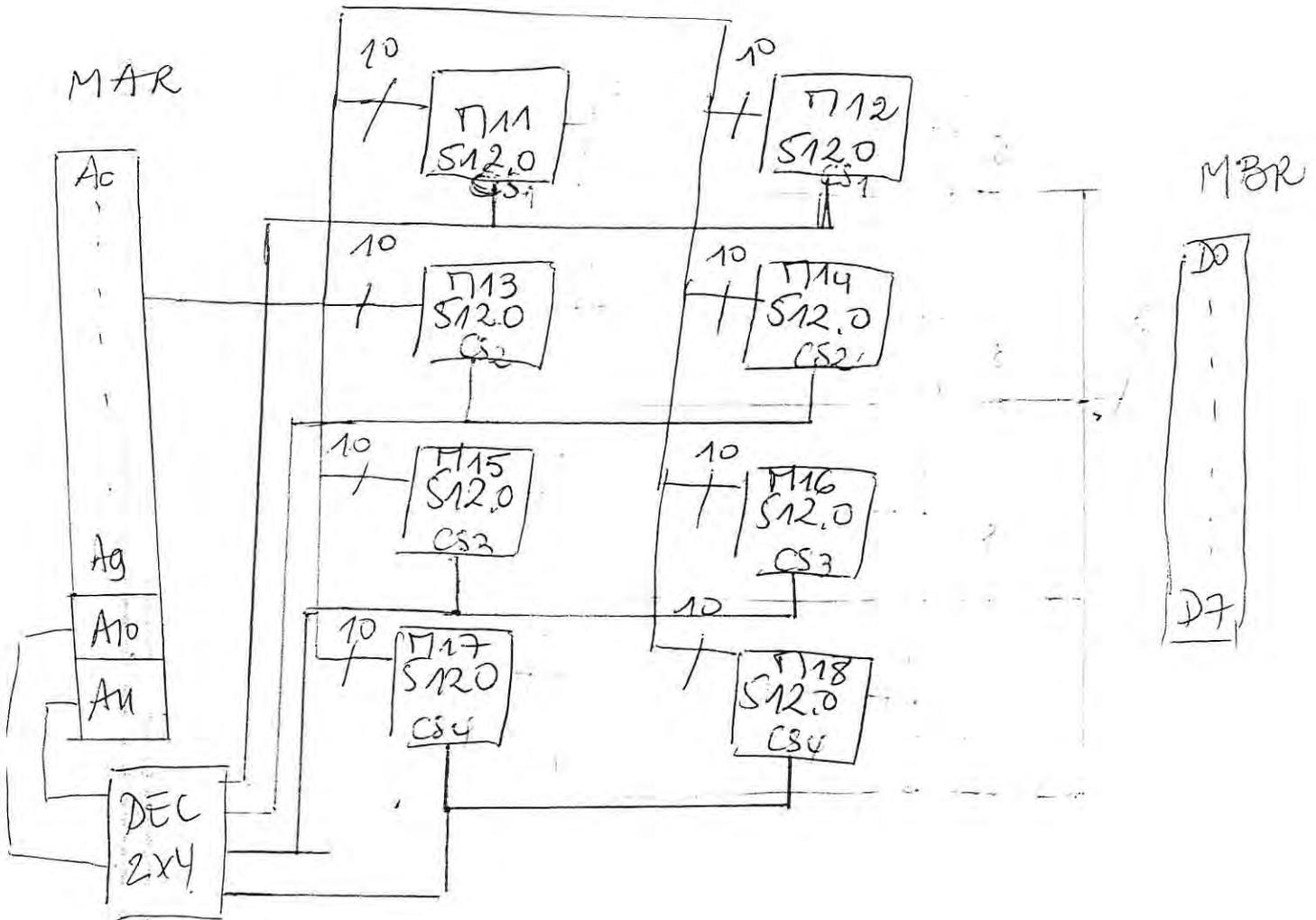
$$CS_1 = \overline{A_{11}} \overline{A_{10}}, CS_2 = \overline{A_{11}} A_{10}, CS_3 = A_{11} \overline{A_{10}}, CS_4 = A_{11} A_{10}$$

6 - l'adresse  $(515)_{10} = (001000000011)_2$   
 permet d'activer les 2 premiers mémoires de la  
 1<sup>ère</sup> ligne

l'adresse  $(9A8)_{16} = (100110101000)_2$   
 permet d'activer les 2 mémoires sur la 3<sup>ème</sup> ligne.

7 - C'est une question-piège : puisque M2 est la mémoire à réaliser, donc la taille du  
 MAR trouvée est minimale (12 bits). Par conséquent, il n'y a pas d'extension pour  
 M2 du moment qu'elle garde la même taille du bus d'adresses (12 bits).

8 - le schéma global.



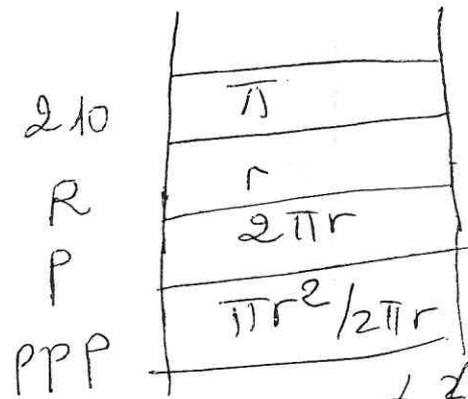
Exo 3:

1-

100 READ  
 101 STORE R, D  
 102 MUL 2, 10, D  
 103 MUL 2, INN  
 104 STORE P, D  
 105 LOAD R, D  
 106 MUL R, D  
 107 MUL 2, 10, D  
 108 DIV P, D  
 109 STORE PPP, D  
 110 write

Acc ← Valeur ; (Acc) = valeur = r  
 R ← Acc ; (Acc) = valeur = r  
 Acc ← Acc \* (2/10) ; (Acc) = r \* π  
 Acc ← Acc \* 2 ; (Acc) = 2πr  
 P ← Acc ; (Acc) = 2πr  
 Acc ← (R) ; (Acc) = r  
 Acc ← Acc \* (R) ; (Acc) = r<sup>2</sup>  
 Acc ← Acc \* (2/10) ; (Acc) = πr<sup>2</sup>  
 Acc ← Acc / (P) ; (Acc) =  $\frac{\pi r^2}{2\pi r}$   
 PPP ← Acc ; (Acc) =  $\frac{\pi r^2}{2\pi r}$

20/



30/ Si (R) = 10 le programme affiche  $\frac{\pi r^2}{2\pi r} = \frac{r}{2} = \frac{10}{2} = 5$

40/  $\frac{\pi r^2}{2\pi r} = \frac{r}{2}$

50/ 100 READ  
 101 STORE R, D  
 102 DIV 2, INN  
 103 STORE PPP, D  
 104 write

Acc = r  
 Acc = r/2

100 READ  
 101 DIV 2, INN  
 102 STORE PPP, D  
 103 write